

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-058852

(43)Date of publication of application : 14.03.1988

(51)Int.Cl.

H01L 21/76

(21)Application number : 61-201670

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.08.1986

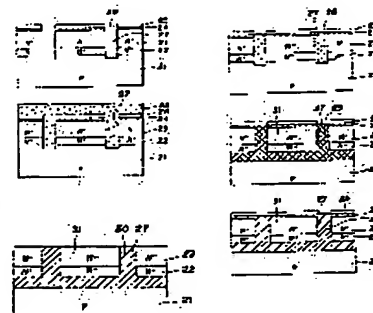
(72)Inventor : SUZUKI KENICHI

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To realize a complete isolation structure in a simple process which is the strong point of an anode formation method by a method wherein grooves, which penetrate an N-type semiconductor layer and reach a P-type semiconductor layer, are formed and after the grooves are filled with a P-type semiconductor, an anode formation treatment is performed, the whole region of the P-type semiconductor and the P-type semiconductor layer just under the N-type semiconductor layer are covered into a porous semiconductor layer and the porous semiconductor layer is converted into an oxide film.

CONSTITUTION: Opening parts 26 are provided in a nitride film 25 and an oxide film 24 for buffering, grooves 27 to reach a P-type Si substrate 21 are formed, a P-type poly Si layer 28 is deposited to fill the grooves 27, the poly Si layer 28 is etched back and the poly Si layer 28 is made to remain only in the interiors of the grooves 27. Then, the P-type poly Si layer 28 and the P-type Si substrate 21 are converted into a porous Si layer 29. Then, the porous Si layer 29 is converted into a porous Si oxide film 30 using the nitride film 25 as a mask, the nitride film 25 and the oxide film 24 for buffering are removed and an n-type element forming region 31 consisting of an n+ buried diffusion layer 22 and an n- epitaxial layer 23 is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-58852

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)3月14日

H 01 L 21/76

P-7131-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体集積回路装置の製造方法

⑯ 特 願 昭61-201670

⑰ 出 願 昭61(1986)8月29日

⑱ 発 明 者 鈴木 研 一 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体集積回路装置の製造方法

2. 特許請求の範囲

(a) N型半導体層を表面上に有するP型半導体層の選択された領域に、前記N型半導体層を貫通してP型半導体層に達する溝を形成する工程と、

(b) その溝をP型半導体で充填する工程と、

(c) そのP型半導体と前記P型半導体層に陽極化成処理を行い、P型半導体の全領域および、前記N型半導体層直下のP型半導体層あるいはP型半導体層の全領域を多孔質半導体層に変換する工程と、

(d) その多孔質半導体層を酸化して酸化膜に変換する工程とを具備することを特徴とする半導体集積回路装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体集積回路装置の製造方法に係り、特に素子分離に関するものである。

(従来の技術)

バイポーラ型半導体集積回路装置の素子分離は、古くはPN接合分離法によっていたが、素子が微細化され集積度が增大するにつれ分離領域の面積を削減する必要が生じ、シリコン酸化膜を利用した酸化膜分離法、いわゆるアイソプレーナに移行していった。

酸化膜分離法は、PN接合分離法に比べて著しく分離領域を減少させるのみならず、素子形成領域以外のすべての領域を厚い酸化膜に変換するため、配線-基板間の浮遊容量が減少し、高速化にも寄与する効果的な方法であつた。

しかし、近年、素子の高速化への要求は増々強まり、高速化への妨げとなる寄生容量を極力低減させる検討が行われている。

素子分離技術に関しては、基板-コレクタ間の寄生容量を低減化するために、素子の側面ばかりでなく底面をも絶縁物で分離する完全分離構造とすることが高速化に対し有効である。

完全分離構造を実現する一手段として、半導体

トランジスタ研究 S S D 7 9 - 9 5 , P 4 5 ~ 5 4 に開示されるように、陽極化成法によりシリコン基板内に多孔質シリコン層を形成し、これを酸化することにより得られる多孔質シリコン酸化膜を利用する方法が提案されている。陽極化成法では、多孔質シリコンは、シリコン中の正孔電流により形成されるので、陽極化成電流を適当な通路に形成しておくことにより、シリコン基板内の任意の場所に多孔質シリコンを形成することが可能である。

第2図に、従来技術の一例として、陽極化成法による完全分離技術をバイポーラデバイスに適用した場合の完全分離構造を得るまでの工程断面図を示す。

まず、第2図(A)に示すように、P型シリコン基板1のトランジスタを形成すべき領域の表面上に N^+ 型埋込拡散層2を形成した後、全表面上に N^- 型エピタキシャル層3を形成する。さらに、その N^- 型エピタキシャル層3の全表面上に緩衝用酸化膜4、窒化シリコン膜(以下窒化膜と呼ぶ)5を

に拡がる。そして、ここでは、 N^+ 型埋込拡散層2の全底面が多孔質化されるまで陽極化成処理を行うもので、これにより、 P^+ 型拡散層7とP型シリコン基板1の表面側が多孔質シリコン層8に変換された第2図(c)の構造が得られる。

その後、窒化膜5をマスクとして多孔質シリコン層8を酸化することにより第2図(D)に示すように多孔質シリコン酸化膜9を得る。この時、多孔質シリコン層8は実効的な表面積が非常に大きいため酸化速度が著しく速く、また、多孔質シリコン層8全体がほぼ同時に酸化されるため、 N^+ 型埋込拡散層2の底面まで容易に酸化膜9に変換することができる。また、陽極化成処理において多孔質密度を制御することにより、酸化による体積増加分を吸収することが可能であり、酸化後も酸化処理前の形状は保存され、通常選択酸化法で問題となる段差の発生を回避することができる。

その後、同第2図(D)に示すように、窒化膜5と緩衝用酸化膜4を除去するもので、以上により、 N^+ 型埋込拡散層2とその上の N^- 型エピタキシャル

順次形成する。

次に、第2図(B)に示すように、通常の写真食刻法により窒化膜5および緩衝用酸化膜4に開口部6を形成し、この開口部6を通して N^- 型エピタキシャル層3中へ P^+ 型不純物を拡散し、 P^+ 型拡散層7を形成する。この P^+ 型拡散層7は、少なくともP型シリコン基板1に到達するまで深く拡散する必要がある。

次に、第3図に示すようにシリコン基板1と白金電極11とをフッ化水素酸水溶液12中に浸して、相互間に電源13を接続することにより、前記フッ化水素酸水溶液12中で陽極化成処理を行い、第2図(c)に示すような多孔質シリコン層8を形成する。ここで、陽極化成反応はシリコンの電気化学反応による溶解現象であり、半導体中の正孔の働きによりP型シリコン領域において選択的に反応が進行する。したがって、第2図(B)の構造体に対して陽極化成処理を施すと、陽極化成反応は開口部6より P^+ 型拡散層7内に進行し、更に陽極化成電流の通路にそつてP型シリコン基板1内

層3が前記多孔質シリコン酸化膜9で完全分離された第2図(D)に示すような完全分離構造が得られる。

以上のように、陽極化成法により形成される多孔質シリコン層を利用した完全分離法は、プロセスが比較的簡単で有効な方法であると言える。

(発明が解決しようとする問題点)

しかるに、上記従来技術では、1~3 μm 厚のエピタキシャル層3中へ P^+ 型拡散を行うため P^+ 型拡散層7の横方向拡散が大きく、また、写真食刻法を用いての N^+ 型埋込拡散層2の形成が必要なため、P型拡散用の開口部6を形成する際のマスク合わせ余裕を見込む必要があり、これらから分離領域幅の縮小に限界を与えると云う問題点があった。

この発明は、以上述べた分離領域の微細化を行いたいという従来技術の問題点を除去して、陽極化成法の特長である簡単なプロセスで完全分離構造を実現することのできる半導体集積回路装置の製造方法を提供することを目的とする。

特開昭63-58852 (3)

(問題点を解決するための手段)

この発明は、完全分離構造を有する半導体集積回路装置の製造方法において、N型半導体層を表面上に有するP型半導体層の選択された領域に、前記N型半導体層を貫通してP型半導体層に達する溝を形成し、その溝をP型半導体で埋めた後、そのP型半導体と前記P型半導体層に陽極化成処理を行い、P型半導体の全領域および、前記N型半導体層直下のP型半導体層あるいはP型半導体層の全領域を多孔質半導体層に変換し、その多孔質半導体層を酸化膜に変換するようにしたものである。

(作用)

このような方法においては、N型およびP型半導体層に形成される溝によつて素子分離領域幅が決定される。また、溝形成によつて不要部分が除去されるようになるので、P型半導体層の表面全体にN型半導体層の一部として埋込拡散層を形成しておくことができ、その結果、前記溝を形成する際にマスク合わせ余裕を考慮する必要がなくな

この場合、シリコン基板21はP型に限らずN型も可能となる。

次に、第1図(B)に示すように、通常の写真食刻法を用いて素子分離領域となるべき領域の酸化膜25および緩衝用酸化膜24に幅1~3 μm の開口部26を設け、さらにこの開口部26を通して、シリコン基板表面に対して垂直にエピタキシャル層23および N^+ 型埋込拡散層22を貫通してP型シリコン基板21に達する深さ4~6 μm の溝27を形成する。

続いて、第1図(C)に示すように、全表面に埋込材料として、P型不純物であるボロンを添加したP型多結晶シリコン層28を厚く(2~4 μm)堆積して溝27を埋める。その後、第1図(D)に示すように、公知の方法により多結晶シリコン層28をエッチバックし、溝27の内部にのみ多結晶シリコン層28を残存させる。その際、エッチバックの深さは、最終工程において素子形成領域と素子分離領域が平坦となるような適当な深さとする。なお、多結晶シリコン層中へのボロンの添

る。

(実施例)

以下、この発明の半導体集積回路装置の製造方法の一実施例について図面に基づき説明する。第1図(A)~(G)は一実施例の工程断面図である。

この図示の一実施例は、この発明をバイポーラ型半導体集積回路装置に適用したものであるが、この発明の適用範囲は、これに限るものではなく、MOS型その他の半導体集積回路装置に適用することも可能である。

まず、第1図(A)は、P型シリコン基板21の全面に厚み1~2 μm の N^+ 型埋込拡散層22を形成し、その上に1~3 μm 厚の N^- 型エピタキシャル層23を形成し、更に200~500 \AA 厚の緩衝用酸化膜24、1000~2000 \AA 厚の窒化シリコン膜(以下窒化膜と呼ぶ)25を順次形成したものである。なお、後工程のシリコン基板21の陽極化成処理を容易にするため、 N^+ 型埋込拡散層22の形成前に更に P^+ 型埋込拡散層を必要に応じて全面に形成してもよい(図には示していない)。

加方法は、該多結晶シリコン層の気相化学成長中に添加する方法に限るものではなく、無添加の多結晶シリコン層を堆積させ溝27を埋め、エッチバックにより溝27の内部にのみ多結晶シリコン層を残存形成した後、多結晶シリコン層中でのボロンの拡散速度が速いことを利用して、多結晶シリコン層中へ選択的にボロン拡散を行つてもよい。

続いて、フッ化水素酸水溶液中で陽極化成処理を行うことにより、第1図(E)に示すように、溝27内部のP型多結晶シリコン層28および素子形成領域となる N^+ 型埋込拡散層22の底面下のP型シリコン基板21を多孔質シリコン層29に変換する。この時、陽極化成反応は、P型シリコン領域において選択的に反応が進行し、N型シリコン領域へは反応が進行しないため、結局、多孔質シリコン層29で囲まれた N^+ 型埋込拡散層22と N^- 型エピタキシャル層23からなるN型の素子形成領域31が島状に形成される。

次に、窒化膜25をマスクとして熱酸化処理を

特開昭63-58852 (4)

行い、第1図(F)に示すように多孔質シリコン層29を多孔質シリコン酸化膜30に変換する。

最後に、第1図(G)に示すように酸化膜25と緩衝用酸化膜24を除去するもので、以上により、多孔質シリコン酸化膜30で完全分離された N^+ 型埋込拡散層22と N^- 型エピタキシャル層23からなるN型の素子形成領域31が得られる。

なお、上記一実施例では、 N^+ 型埋込拡散層22直下のP型シリコン基板部分のみを多孔シリコン層29とし、更に多孔質シリコン酸化膜30に変換したが、P型シリコン基板21の全領域を多孔質シリコン層とし、更に多孔質シリコン酸化膜に変換してもよい。

(発明の効果)

以上詳細に説明したように、この発明の方法によれば、N型半導体層を表面上に有するP型半導体層の選択された領域に前記N型半導体層を貫通してP型半導体層に達する溝を形成し、その溝をP型半導体で埋めた後、陽極化成反応を進行させるようにしたので、従来方法で問題となっていた

P^+ 拡散の横方向拡がりによる化成反応領域の拡大を防止することができ、化成反応領域内には素子分離領域は溝幅で正確に決定されるようになり、その結果、パターン変換差の殆どない微細な分離領域幅を有する完全分離構造を得ることができる。また、この方法によれば、溝形成によつて不要部分が除去されるようになるので、P型半導体層の表面全体にN型半導体層の一部として埋込拡散層を形成しておくことができ、その結果として埋込拡散用のマスクが不要となるため工程を著しく短縮することができるとともに、前記溝形成時にマスク合わせ余裕を考慮する必要がなくなるので、分離領域幅の一層の微細化が可能となる。さらに、この発明の方法によれば従来と同様に表面を平坦にできる。

これらのように、この発明の製造方法によれば、表面が平坦で、パターン寸法変換差の殆どない微細な分離領域幅を有する理想的な完全分離構造が得られ、その結果、例えばバイポーラ型半導体集積回路装置に適用すれば、コレクター基板間の寄

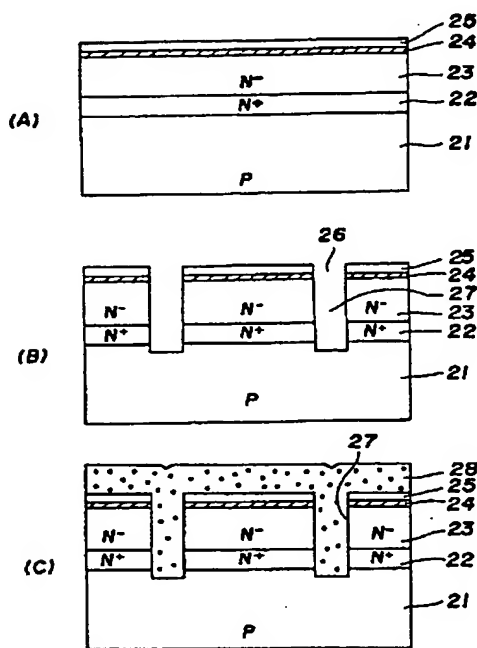
生容量や浮遊容量が大幅に低減されるばかりでなく、分離領域縮小による集積度の向上が図れるとともに、配線長の短縮により配線遅延を低減することができるので、高速高集積バイポーラデバイスの実現が可能となる。

4. 図面の簡単な説明

第1図はこの発明の半導体集積回路装置の製造方法の一実施例を示す工程断面図、第2図は従来技術の一例を示す工程断面図、第3図は陽極化成処理工程の配線図である。

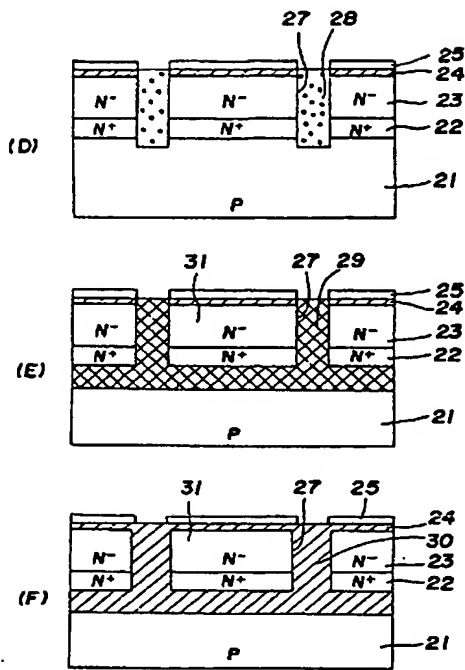
21…P型シリコン基板、22… N^+ 型埋込拡散層、23… N^- 型エピタキシャル層、27…溝、28…P型多結晶シリコン層、29…多孔質シリコン層、30…多孔質シリコン酸化膜。

特許出願人 沖電気工業株式会社
代理人 弁理士 菊 池 弘

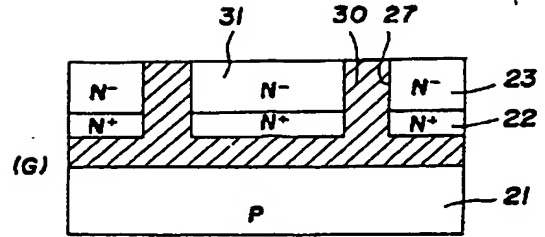


本発明一実施例の工程断面図
第1図

特開昭63-58852 (5)

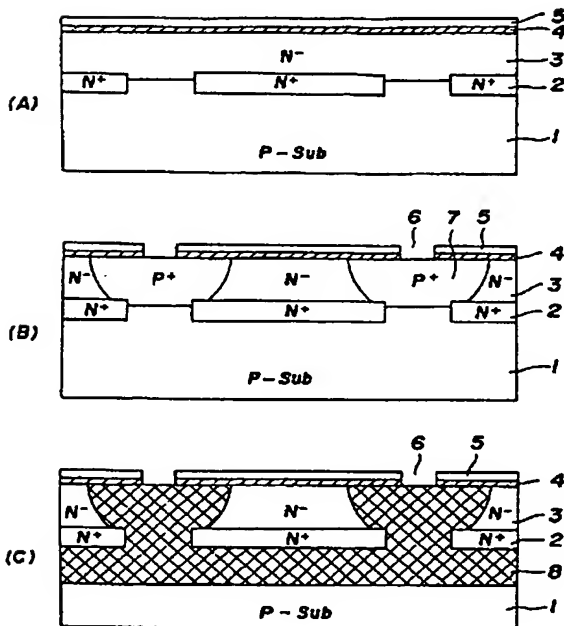


本発明-実施例の工程断面図
第 1 図

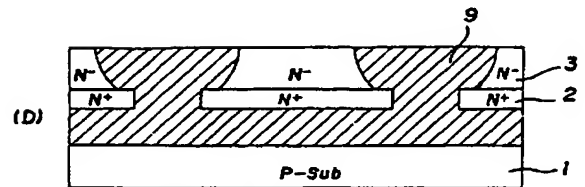


- 21: P型シリコン基板
- 22: N+型埋込拡散層
- 23: N-型エピタキシャル層
- 24: 緩衝用酸化膜
- 25: 窒化シリコン膜(窒化膜)
- 26: 開口部
- 27: 溝
- 28: P型多結晶シリコン層
- 29: 多孔質シリコン層
- 30: 多孔質シリコン酸化膜
- 31: 素子形成領域

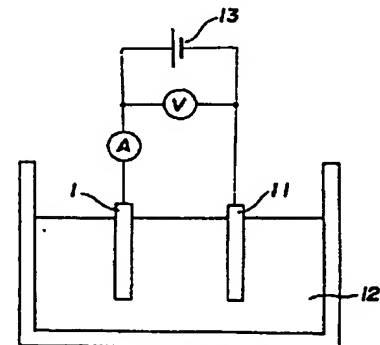
本発明-実施例の工程断面図
第 1 図



従来技術の工程断面図
第 2 図



従来技術の工程断面図
第 2 図



陽極化成処理配線図
第 3 図